

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020067769 A  
(43)Date of publication of application: 24.08.2002

(21)Application number: 1020010008099  
(22)Date of filing: 19.02.2001

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
(72)Inventor: KANG, MYEONG AE

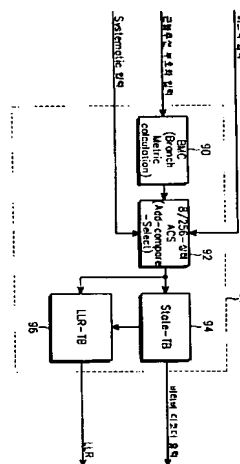
(51)Int. Cl. H03M 13/37

(54) INTEGRATED DECODER OF VITERBI DECODER AND TURBO DECODER AND METHOD FOR PERFORMING INTEGRATED DECODING PROCESS

(57) Abstract:

PURPOSE: An integrated decoder of a Viterbi decoder and a turbo decoder and a method for performing an integrated decoding process are provided to reduce complexity of a hardware and economize a memory source by forming a Viterbi decoder and a turbo decoder with one body.

CONSTITUTION: An 8-state SOVA/256-state Viterbi decoder(80) is formed by including a hard decision Viterbi decoder in a SOVA decoder of a turbo decoder. The 8-state SOVA/256-state Viterbi decoder(80) has an integrated structure of the 8-state SOVA decoder and the Viterbi decoder. In a Viterbi decoder mode, the 8-state SOVA/256-state Viterbi decoder(80) transmits an output to an output terminal since 8-state SOVA/256-state Viterbi decoder (80) does not use necessary parts used in a repetition decoding process of the turbo decoder. In a turbo decoding mode, the repetition decoding process is performed by processing 8 states at once.



COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20031129)

Patent registration number (1004151160000)

Date of registration (20031230)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

Date of extinction of right ( )

10-0415116

(19) 대한민국특허청 (KR)  
(12) 등록특허공보 (B1)

(51) Int. Cl. H04L 13/00	(46) 공고일자 (11) 등록번호 (24) 등록일자	2004년10월13일 10-0415116 2004년12월31일
(21) 출원번호 (22) 출원일자	(65) 공개번호 (43) 공개일자	10-2001-0008099 2001년02월19일 10-2002-0067769 2002년08월24일
(73) 출원인	삼성전자주식회사	
(72) 발명자	경기도 수원시 영통구 매탄동 416 정영배	
(74) 대리인	경기도수원시권선구권선동 1013-2202호 미건주	

상세한 설명  
(54) 비터비 디코딩과 터보 디코딩의 통합 디코딩 및 통합 디코딩 방법

본 발명은 터보 디코딩과 비터비 디코딩을 함께 사용하는 채널 수신단의 비터비 디코딩과 터보 디코딩의 통합 디코딩 및 통합 디코딩 방법을 제공한다. 상기 송신단 비터비 디코딩을 상기 터보 디코딩의 내부에 구현한 연속-출력 비터비 알고리즘 디코딩에 포함시켜 8-상제 연속-출력 비터비 알고리즘 디코딩과 256-상제 연속-출력 비터비 디코딩을 함께 구현한 8-상제 연속-출력 비터비 알고리즘 256-상제 비터비 디코딩 및 통합 디코딩 방법을 제공한다.

요약  
도 1은 종래의 레지스터-교차 연속출력 비터비 알고리즘을 사용하는 터보 디코딩의 개략적인 블록 구성도.

4개의 디코딩(Decoder), 비터비(Viterbi), 터보(Turbo), 통합 구조

영역

도 1은 종래의 레지스터-교차 연속출력 비터비 알고리즘을 사용하는 터보 디코딩의 개략적인 블록 구성도.

도 2는 종래의 터보 디코딩의 블록 구성도.

도 3은 종래의 터보 디코딩의 블록 구성도.

도 4는 종래의 터보 디코딩의 블록 구성도.

도 5는 종래의 레지스터-교차 연속출력 비터비 알고리즘을 사용하는 터보 디코딩의 블록 구성도.

도 6은 종래의 비터비 디코딩의 블록 구성도.

도 7은 종래의 비터비 디코딩의 블록 구성도.

도 8은 종래의 비터비 디코딩의 블록 구성도.

도 9는 종래의 비터비 디코딩의 블록 구성도.

도 10은 종래의 비터비 디코딩의 블록 구성도.

본 발명의 상세한 설명

본 발명의 목적

본 발명에 속하는 기술분야 및 그 분야의 종래기술

본 발명은 비터비 디코딩(Viterbi Decoder)과 터보 디코딩(Turbo Decoder)에 관한 것으로, 특히 모뎀(MODEM: Modulation/Demodulation) 수신기에서의 비터비 디코딩과 레지스터-교차 연속출력 비터비 알고리즘(REGISTER - Based Soft Output Viterbi Algorithm 이하, RSOVA)을 사용하는 터보 디코딩을 통합한 구조를 갖는 디코딩 및 통합 디코딩 방법에 관한 것이다.

13-95(Interim Standard-95) 기저대역 모뎀 칩(Chip)들은 일반적으로 비터비 인코딩(Encoder)과 터보 인코딩을 사용하는 채널(Coannel)에 대해 비터비 디코딩과 터보 디코딩 모두 구현하여 채널 인코딩 후에 터보 디코딩을 선택, 동작시킨다. 비터비 인코딩과 터보 인코딩은 모두 트래일리스(Trailless)인 것이므로, 이들은 본질적으로 코딩(Coding)으로, 이들 디코딩하는 디코딩들은 유사한 동작을 하게 된다.

특히, SOVA(Soft Output Viterbi Algorithm, 이하, SOVA)를 사용하는 터보 디코딩의 경우에 내부 디코딩으로 연속출력(Soft-Output) 비터비 디코딩을 사용한다.

도 1 내지 도 7은 종래의 레지스터-교차 연속출력 비터비 디코딩의 개략적인 블록 구성도이며, 도 8은 도 1의 터보 디코딩 내의 8-상제 SOVA 디코딩의 개략적인 블록 구성도이다.

도 1은 종래의 레지스터-교차 연속출력 비터비 알고리즘을 사용하는 터보 디코딩의 개략적인 블록 구성도이고, 도 2는 종래의 레지스터-교차 연속출력 비터비 디코딩의 개략적인 블록 구성도이며, 도 3은 도 1의 터보 디코딩 내의 8-상제 SOVA 디코딩의 개략적인 블록 구성도이다.

우선 도 1 내지 도 3을 참조하면, 터보 디코딩은 내부에 연속-출력 비터비 디코딩의 8-상제 SOVA 디코딩(10)을 사용하며, 비터비 디코딩의 경우를 더욱 용이하게 할 수 있다. 여기서, 8-상제 SOVA 디코딩(10)은 RSOVA를 사용하는 터보 디코딩에 포함된 디코딩으로서 8-상제 RSOVA 디코딩과 동일 할 수 있다.

한편, RSOVA 및 RSOVA(Interim Standard-95) 기저대역 모뎀 칩(Chip)들은 일반적으로 비터비 인코딩(Encoder)과 터보 인코딩을 사용하는 채널(Coannel)에 대해 비터비 디코딩과 터보 디코딩 모두 구현하여 채널 인코딩 후에 터보 디코딩을 선택, 동작시킨다. 비터비 인코딩과 터보 인코딩은 모두 트래일리스(Trailless)인 것이므로, 이들은 본질적으로 코딩(Coding)으로, 이들 디코딩하는 디코딩들은 유사한 동작을 하게 된다.

특히, SOVA(Soft Output Viterbi Algorithm, 이하, SOVA)를 사용하는 터보 디코딩의 경우에 내부 디코딩으로 연속출력(Soft-Output) 비터비 디코딩을 사용한다.

도 1 내지 도 7은 종래의 레지스터-교차 연속출력 비터비 디코딩의 개략적인 블록 구성도이며, 도 8은 도 1의 터보 디코딩 내의 8-상제 SOVA 디코딩의 개략적인 블록 구성도이다.

우선 도 1 내지 도 3을 참조하면, 터보 디코딩은 내부에 연속-출력 비터비 디코딩의 8-상제 SOVA 디코딩(10)을 사용하며, 비터비 디코딩의 경우를 더욱 용이하게 할 수 있다. 여기서, 8-상제 SOVA 디코딩(10)은 RSOVA를 사용하는 터보 디코딩에 포함된 디코딩으로서 8-상제 RSOVA 디코딩과 동일 할 수 있다.

한편, RSOVA 및 RSOVA(Interim Standard-95) 기저대역 모뎀 칩(Chip)들은 일반적으로 비터비 인코딩(Encoder)과 터보 인코딩을 사용하는 채널(Coannel)에 대해 비터비 디코딩과 터보 디코딩 모두 구현하여 채널 인코딩 후에 터보 디코딩을 선택, 동작시킨다. 비터비 인코딩과 터보 인코딩은 모두 트래일리스(Trailless)인 것이므로, 이들은 본질적으로 코딩(Coding)으로, 이들 디코딩하는 디코딩들은 유사한 동작을 하게 된다.

특히, SOVA(Soft Output Viterbi Algorithm, 이하, SOVA)를 사용하는 터보 디코딩의 경우에 내부 디코딩으로 연속출력(Soft-Output) 비터비 디코딩을 사용한다.

도 1 내지 도 7은 종래의 레지스터-교차 연속출력 비터비 디코딩의 개략적인 블록 구성도이며, 도 8은 도 1의 터보 디코딩 내의 8-상제 SOVA 디코딩의 개략적인 블록 구성도이다.

우선 도 1 내지 도 3을 참조하면, 터보 디코딩은 내부에 연속-출력 비터비 디코딩의 8-상제 SOVA 디코딩(10)을 사용하며, 비터비 디코딩의 경우를 더욱 용이하게 할 수 있다. 여기서, 8-상제 SOVA 디코딩(10)은 RSOVA를 사용하는 터보 디코딩에 포함된 디코딩으로서 8-상제 RSOVA 디코딩과 동일 할 수 있다.

한편, RSOVA 및 RSOVA(Interim Standard-95) 기저대역 모뎀 칩(Chip)들은 일반적으로 비터비 인코딩(Encoder)과 터보 인코딩을 사용하는 채널(Coannel)에 대해 비터비 디코딩과 터보 디코딩 모두 구현하여 채널 인코딩 후에 터보 디코딩을 선택, 동작시킨다. 비터비 인코딩과 터보 인코딩은 모두 트래일리스(Trailless)인 것이므로, 이들은 본질적으로 코딩(Coding)으로, 이들 디코딩하는 디코딩들은 유사한 동작을 하게 된다.

특히, SOVA(Soft Output Viterbi Algorithm, 이하, SOVA)를 사용하는 터보 디코딩의 경우에 내부 디코딩으로 연속출력(Soft-Output) 비터비 디코딩을 사용한다.

도 1 내지 도 7은 종래의 레지스터-교차 연속출력 비터비 디코딩의 개략적인 블록 구성도이며, 도 8은 도 1의 터보 디코딩 내의 8-상제 SOVA 디코딩의 개략적인 블록 구성도이다.

우선 도 1 내지 도 3을 참조하면, 터보 디코딩은 내부에 연속-출력 비터비 디코딩의 8-상제 SOVA 디코딩(10)을 사용하며, 비터비 디코딩의 경우를 더욱 용이하게 할 수 있다. 여기서, 8-상제 SOVA 디코딩(10)은 RSOVA를 사용하는 터보 디코딩에 포함된 디코딩으로서 8-상제 RSOVA 디코딩과 동일 할 수 있다.

한편, RSOVA 및 RSOVA(Interim Standard-95) 기저대역 모뎀 칩(Chip)들은 일반적으로 비터비 인코딩(Encoder)과 터보 인코딩을 사용하는 채널(Coannel)에 대해 비터비 디코딩과 터보 디코딩 모두 구현하여 채널 인코딩 후에 터보 디코딩을 선택, 동작시킨다. 비터비 인코딩과 터보 인코딩은 모두 트래일리스(Trailless)인 것이므로, 이들은 본질적으로 코딩(Coding)으로, 이들 디코딩하는 디코딩들은 유사한 동작을 하게 된다.

특히, SOVA(Soft Output Viterbi Algorithm, 이하, SOVA)를 사용하는 터보 디코딩의 경우에 내부 디코딩으로 연속출력(Soft-Output) 비터비 디코딩을 사용한다.

도 1 내지 도 7은 종래의 레지스터-교차 연속출력 비터비 디코딩의 개략적인 블록 구성도이며, 도 8은 도 1의 터보 디코딩 내의 8-상제 SOVA 디코딩의 개략적인 블록 구성도이다.

우선 도 1 내지 도 3을 참조하면, 터보 디코딩은 내부에 연속-출력 비터비 디코딩의 8-상제 SOVA 디코딩(10)을 사용하며, 비터비 디코딩의 경우를 더욱 용이하게 할 수 있다. 여기서, 8-상제 SOVA 디코딩(10)은 RSOVA를 사용하는 터보 디코딩에 포함된 디코딩으로서 8-상제 RSOVA 디코딩과 동일 할 수 있다.

한편, RSOVA 및 RSOVA(Interim Standard-95) 기저대역 모뎀 칩(Chip)들은 일반적으로 비터비 인코딩(Encoder)과 터보 인코딩을 사용하는 채널(Coannel)에 대해 비터비 디코딩과 터보 디코딩 모두 구현하여 채널 인코딩 후에 터보 디코딩을 선택, 동작시킨다. 비터비 인코딩과 터보 인코딩은 모두 트래일리스(Trailless)인 것이므로, 이들은 본질적으로 코딩(Coding)으로, 이들 디코딩하는 디코딩들은 유사한 동작을 하게 된다.

특히, SOVA(Soft Output Viterbi Algorithm, 이하, SOVA)를 사용하는 터보 디코딩의 경우에 내부 디코딩으로 연속출력(Soft-Output) 비터비 디코딩을 사용한다.

한 블록으로 구현될 수 있다.

**도형에 따른 구조를 하는 기술적 요점**

먼저 본 발명의 목적은 종래의 방식에서 유사한 동작을 각기 수행함으로써 특정한 하드웨어의 복잡도를 줄이기 위한 비터버 디코딩과 터보 디코딩을 통합하는 디코딩 및 통합 디코딩 방법을 제공함에 있다.

또한 본 발명의 다른 목적은 비터버 디코딩과 터보 디코딩 구조를 통합함으로써 남겨버린 메모리 자원을 절약하는 비터버 디코딩과 터보 디코딩 통합 구조를 제공함에 있다.

상기한 목적을 달성하기 위하여 본 발명의 장치는, 터보 디코딩과 비터버 디코딩을 함께 사용하는 제1 수신단의 비터버 디코딩과 터보 디코딩의 통합 디코딩에 있어서, 종관성 비터버 디코딩을 포함하고, 상기 터보 디코딩의 내부 디코딩에서 연속-출력 비터버 알고리즘을 사용하는 연속-출력 연속-출력 비터버 알고리즘 디코딩과, 상기 연속-출력 비터버 알고리즘 디코딩과 통합되고, 256-상태 종관성 비터버 디코딩인 256-상태 비터버 디코딩을 포함하는 것을 특징으로 한다.

상기한 목적을 달성하기 위하여 본 발명의 방법은, 터보 디코딩과 비터버 디코딩을 함께 사용하는 제1 수신단에서의 통합 디코딩 방법에서, 종관성 비터버 디코딩을 포함하는 연속-출력 비터버 알고리즘을 실시하는 8-상태 연속-출력 비터버 알고리즘 디코딩과, 256-상태 종관성 비터버 디코딩의 256-상태 비터버 디코딩을 통합한 통합 비터버 디코딩과, 상기 비터버 디코딩과 상기 터보 디코딩에 의해 각각 인코딩된 복호화 입력에 따라 구분하여 연산기 사용자 복호화 입력을 서로 다른 메모리에 저장하는 과정과, 상기 통합 비터버 디코딩과 상기 구분되어 저장된 복호화 입력에 따라 상기 복호화 입력의 상태를 한 번에 계산하여 디코딩하는 과정을 포함하는 것을 특징으로 한다.

**도형의 구성 및 구성**

이하 본 발명의 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 상기 첨부 도면의 구성 요소들에 참조부호를 부가함에 있어서는 동일한 구성요소에 대해서는 반복 다른 도면상에 표시되더라도 동일한 참조부호를 부호를 가하도록 하고 있음에 유의하여야 한다. 또한 하기 설명 및 첨부 도면에서 구체적인 기술적 구성을 설명함에 있어서는 불필요한 상세를 생략하고, 본 발명의 실시예를 가진 것에 대해 설명한다. 그리고 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 상세한 설명은 생략한다.

도 8은 본 발명의 실시 예에 따른 비터버 디코딩과 터보 디코딩의 통합 구조의 개략적인 블록 구성도이다. 도 8은 본 발명의 실시 예에 따른 8-상태 제1차원-교차 연속출력 비터버 알고리즘 디코딩과 256-상태 제1차원 비터버 디코딩과 통합 구현된 구조의 개략적인 블록 구성도이고, 도 10은 본 발명의 실시 예에 따라 구현된 비터버 디코딩과 터보 디코딩의 통합 구조에서 비터버 연산기 및 256-상태 제1차원-교차 연산기 및 메모리의 블록 구성도이다.

도 8 내지 도 10을 참조하면, 본 발명의 비터버 디코딩과 터보 디코딩의 통합 구조에서 도 8의 통합 비터버 디코딩의 8-상태 SMM/256-상태 비터버 디코딩(80)은 종관성 비터버 디코딩을 터보 디코딩의 SMM 디코딩에 포함시켜 8-상태 SMM 디코딩과 256-상태 종관성 비터버 디코딩을 함께 구현한다.

그리고 비터버 디코딩 모드에서는 터보 디코딩에서 사용되는 반복 디코딩에 필요한 반복들이 사용되지 않으므로 도 9의 8-상태 SMM/256-상태 비터버 디코딩(80)은 출력을 바로 출력으로 내보낸다. 도 9에 도시된 바와 같이 비터버 디코딩 모드에서는 반복 디코딩에 필요한 반복들이 사용되지 않으므로, 8-상태 비터버 디코딩의 출력은 State-IR(94)으로만 인가되며, State-IR(94)은 종관성 LIR-IR(93)로 전송하지 않고 바로 출력으로 출력한다.

한편, 터보 디코딩 모드에서는 도 9의 비터버 연산기(90C)(90), 8/256-상태 제1차원-교차 연산기(ACS) 연산기(92), State-IR(94), LIR-IR(93)로 구성되는 8-상태 SMM/256-상태 비터버 디코딩(80)에서 비터버 디코딩 시에 256-상태 연산기, 터보 디코딩 시에는 8개의 상태가 존재한다. 그리고 터보 디코딩 시에는 8개의 상태를 한꺼번에 계산하고, 비터버 디코딩 시에는 256개의 상태를 8개의 상태로 묶어 한꺼번에 처리한다. 즉, 256개 \* 8개의 반복 디코딩을 수행한다.

본 발명에 따른 8-상태 SMM/256-상태 비터버 디코딩(80)의 메모리는 상기 논리적인 기능에는 무관하게 구현된다. 먼저 터보 디코딩에서 LIR-IR(93)에 사용될 종관성 패트릭(Patrick Metric)을 저장하는 도 10의 종관성 패트릭(Patrick Metric) 메모리(104)에 비터버 디코딩의 종관성 패트릭(Patrick Metric)을 저장한다. 그리고 비터버 디코딩 시에는 1 스테이지에 대한 종관성 패트릭(Patrick Metric)만 저장하고, 8개의 상태별 묶어 32점 이후 저장한다.

또한 터보 디코딩에서 1 프레임 출력 비트에 해당하는 길이의 LIR 메모리(108)에는 비터버 디코딩의 시바 이터 생존(survivor path)을 저장한다. 이때 LIR 메모리(108)은 각 스테이지에서 한 번씩 저장될 LIR 연산(resolution)과 비터버 디코딩의 8-상태 시바 이터 생존(survivor path) 비트를(각각 8비트)에 포함된다. 따라서 LIR 연산(resolution) 비터버 디코딩의 메모리보다 작을 때 비터버 18 Depth가 1 프레임 출력 비트 수보다 작으므로 비터버 18 Depth에 해당하는 메모리와, 1 프레임 출력 비트 수 - 비터버 18 Depth에 해당하는 메모리 블록 나누어서 전자의 것은 메모리, 후자는 LIR 연산(resolution)으로 구현한다.

한편 LIR 연산(resolution)이 비터버 디코딩의 메모리보다 클 때는 (LIR resolution) x (1 프레임 출력 비트 수)에 해당하는 하나의 메모리로 구현한다.

터보 디코딩과 1 스테이지에 1 LIR에 생성되는 것에 반해 비터버 디코딩은 1 스테이지에 256-상태 시바 이터

(survivor)들이 생성되고, 이들이 8개의 묶임으로 256개 \* 8개의 메모리에 해당하는 시바 이터 생존 그룹 (survivor path group)이 생성되며 1 스테이지의 것에 해당한다.

상기와 같은 본 발명의 특징에 따른 비터버 디코딩과 터보 디코딩 구조가 하나의 통합된 디코딩으로 구현될 수 있다.

한편 상기한 본 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나 여러 가지 변형이 본 발명의 범위를 벗어나지 않고 실시될 수 있다. 따라서 본 발명의 범위는 설명된 실시 예에 의하여 정할 것이 아니다. 그리고 청구범위와 청구범위의 균등한 것에 의하여 정하여져야 할 것이다.

**도형의 구성**

상기한 바와 같이 본 발명의 방법 비터버 디코딩과 터보 디코딩 구조를 통합한 방법을 사용하여 종래 다른 하드웨어로 구현된 터보 디코딩과 비터버 디코딩을 하나로 구현함으로써, 15-50 및 10-200, UNIS 등 터보 디코딩과 비터버 디코딩을 함께 사용하는 제1 수신단에서 구현하는 경우에 있어서 하드웨어의 복잡도를 줄이는 효과가 있다. 또한 터보 디코딩과 비터버 디코딩의 구조를 하나로 구현함으로써 터보 디코딩과 비터버 디코딩에 사용되는 메모리 자원을 절약하는 이점이 있다.

**(A) 청구의 범위**

**청구항 1**

터보 디코딩과 비터버 디코딩을 함께 사용하는 제1 수신단의 비터버 디코딩과 터보 디코딩의 통합 디코딩에 있어서,

종관성 비터버 디코딩을 포함하고, 상기 터보 디코딩의 내부 디코딩에서 연속-출력 비터버 알고리즘을 사용하는 8-상태 연속-출력 비터버 알고리즘 디코딩과, 상기 터보 디코딩의 256-상태 비터버 디코딩을 포함하는 것을 특징으로 하는 상기 통합 디코딩.

**청구항 2**

상기 연속-출력 비터버 알고리즘 디코딩과 256-상태 종관성 비터버 디코딩인 256-상태 비터버 디코딩을 포함하는 것을 특징으로 하는 상기 통합 디코딩.

**청구항 3**

상기 통합된 8-상태 연속-출력 비터버 알고리즘 디코딩과 256-상태 비터버 디코딩은 디코딩 시 상태를 몇 개 한 번에 디코딩하도록 계산하는 8/256-상태 제1차원-교차 연산 연산기를 포함하는 것을 특징으로 하는 상기 통합 디코딩.

**청구항 4**

터보 디코딩과 비터버 디코딩을 함께 사용하는 제1 수신단에서의 통합 디코딩 방법에서,

종관성 비터버 디코딩을 포함하는 연속-출력 비터버 알고리즘을 사용하는 8-상태 연속-출력 비터버 알고리즘 디코딩과, 256-상태 종관성 비터버 디코딩의 256-상태 비터버 디코딩을 통합한 통합 비터버 디코딩과, 상기 비터버 디코딩과 상기 터보 디코딩에 의해 각각 인코딩된 복호화 입력에 따라 구분하여 연산기 사용자 복호화 입력을 서로 다른 메모리에 저장하는 과정과,

상기 통합 비터버 디코딩과 상기 구분되어 저장된 복호화 입력에 따라 상기 복호화 입력의 상태를 한 번에 계산하여 디코딩하는 과정을 포함하는 것을 특징으로 하는 상기 통합 디코딩 방법.

**청구항 5**

제1항에 있어서, 상기 디코딩하는 과정은,

상기 저장된 복호화 입력에 터보 디코딩된 복호화 입력인 경우 8개의 상태를 한 번에 계산하여 터보 디코딩하는 단계와,

상기 저장된 복호화 입력이 비터버 디코딩된 복호화 입력인 경우 256개의 상태를 상기 터보 디코딩 상태 연산처에서 8개의 상태로 묶어 한 번에 계산하여 비터버 디코딩하는 단계를 포함하는 것을 특징으로 하는 상기 통합 디코딩 방법.

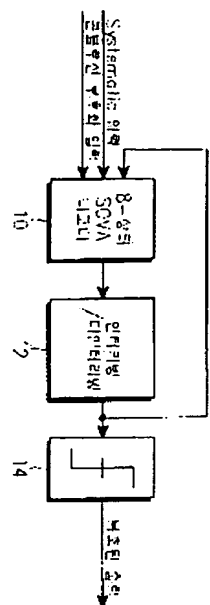
**청구항 6**

제1항에 있어서,

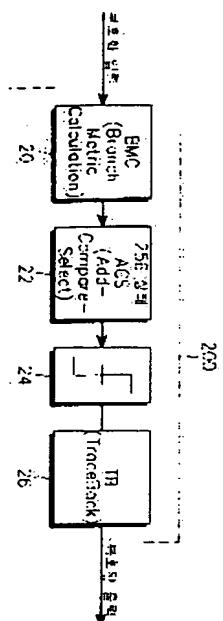
상기 비터버 디코딩하는 단계는 상기 비터버 디코딩 처리 과정을 갖는 반복하여 디코딩하는 특징으로 하는 상기 통합 디코딩 방법.

**도면**

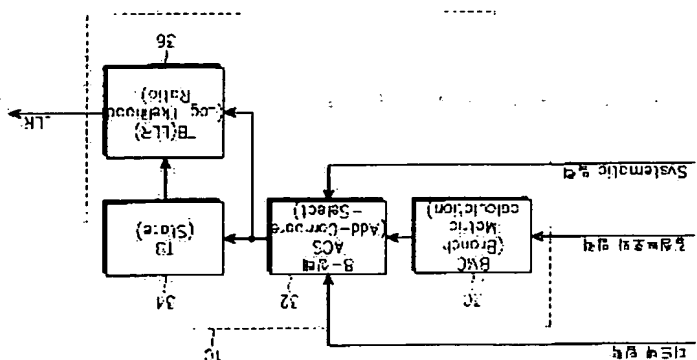
도면 1

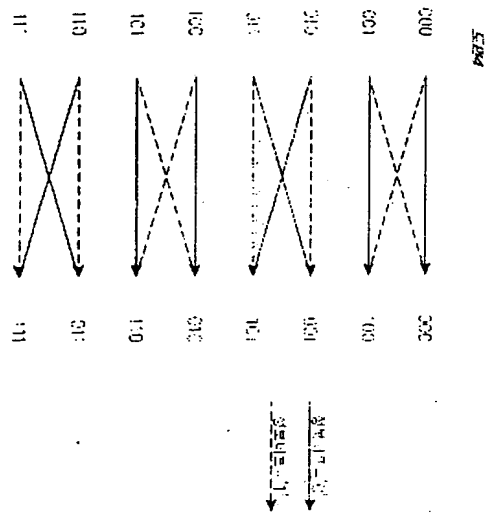


도면 2

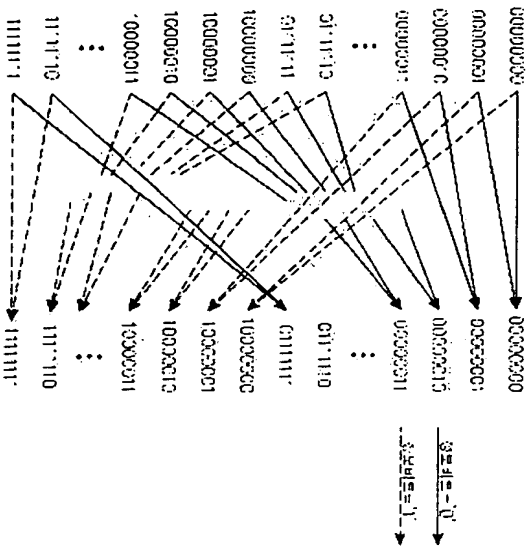


도면 3

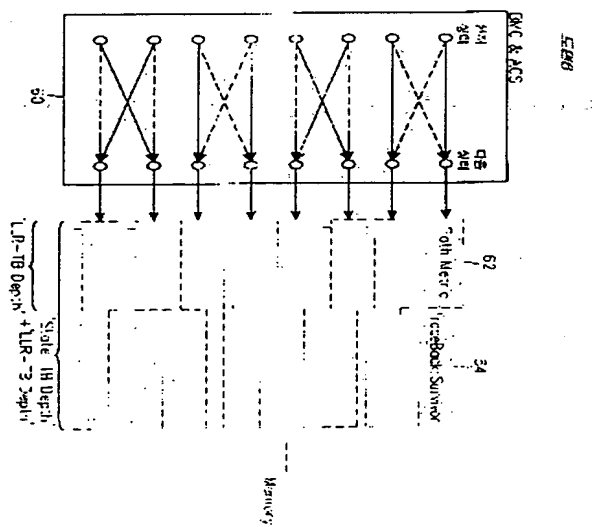




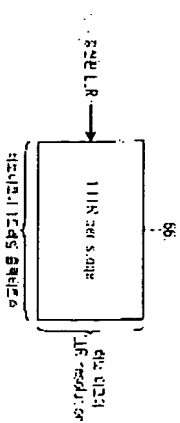
12-7



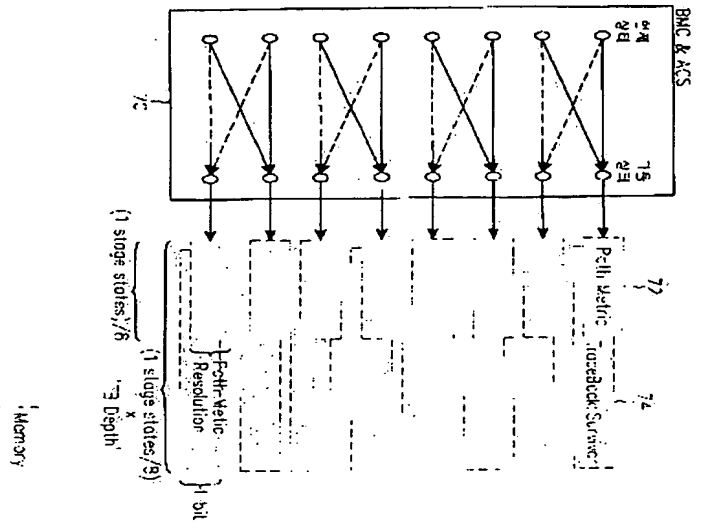
12-8



12-9

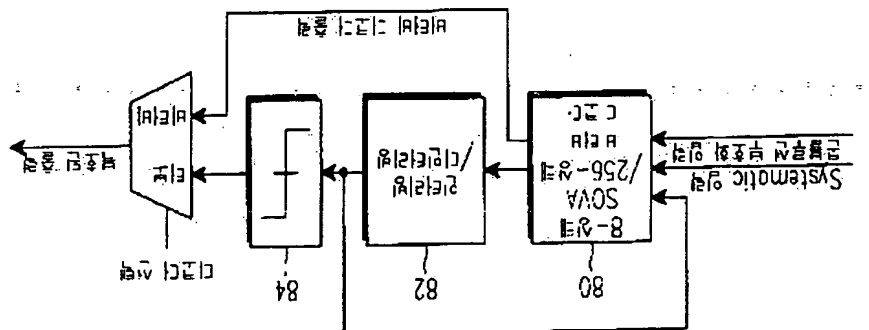


5B7



12-9

5B8



12-10

